

电子技术实验 II

2023年02月

中国科学技术大学信息与计算机实验教学中心

目 录

实验一	门电路测试与应用-----	1
实验二	编码器和译码器-----	5
实验三	数据选择器与加法器-----	12
实验四	移位寄存器及应用-----	20
实验五	抢答器-----	25
实验六	555 时基电路应用-----	29
实验七	数字钟-----	34

实验一 门电路测试与应用

一、实验目的

1. 熟悉数字逻辑电路实验箱的结构和用法。
2. 掌握数字逻辑电路测试方法与测试的原理。
3. 测试与门、或门、非门、与非门和异或门的逻辑功能。
4. 学习用基本逻辑门电路设计组合逻辑电路。

二、实验原理

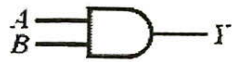
1. 三种基本逻辑运算及两种复合逻辑运算

与运算 $Y=A \text{ AND } B=A \cdot B$ **或运算** $Y=A \text{ OR } B=A+B$ **非运算** $Y=NOT \ A=A'$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

A	Y
0	1
1	0



与非运算

$$Y = (A \cdot B)'$$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



异或运算

$$Y = A \oplus B$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



2. 组合逻辑电路的设计

思路：逻辑问题→逻辑真值表→逻辑表达式（卡诺图）→简化逻辑表达式→逻辑电路图。

例题：用与非门设计一个四输入多数表决电路。

解：根据题意当四个输入端中有三个或四个为1时，输出才为1，否则输出为0。

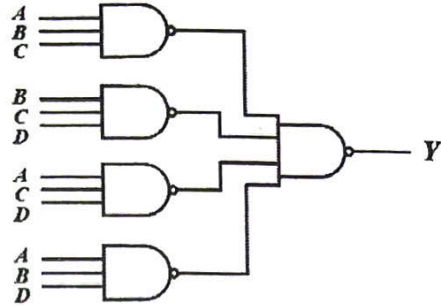
可列出真值表，可填出卡诺图，可得到逻辑表达式，最后用所要求的逻辑门---与非门实现逻辑电路。

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

		C D			
		00	01	11	10
A B	00	0	0	0	0
	01	0	0	1	0
	11	0	1	1	1
	10	0	0	1	0

$$Y = ABC + BCD + ACD + ABD$$

$$= ((ABC)' \cdot (BCD)' \cdot (ACD)' \cdot (ABD)')'$$



3. TTL 集成电路使用规则

- 电源电压：电源极性绝对不允许接错。
- 闲置输入端处理方法：悬空，相当于接高电平，但易受外界的干扰，对于接有长线的输入端，使用集成电路较多的复杂电路，必须按逻辑要求接入电路，不允许悬空。
- 输出端不允许直接接+5V 或接地。输出不允许并联使用（集电极开路门和三态输出门除外。）
- 在装接电路、改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

4. CMOS 集成电路使用规则

- 电源电压：电源电压不能接反。
- 闲置输入端处理方法：所有多余的输入端不能悬空，应按照逻辑要求直接接 V_{DD} 或 V_{SS} （地）。
- 输出端不允许直接接 V_{DD} 或地。除漏极开路输出门及三态门外，不允许两个器件的输出端连接使用，否则将导致器件损坏。
- 在装接电路，改变电路连接或插、拔电路时，均应切断电源，严禁带电操作。

5. 逻辑门电路功能与性能的测试

- 静态测试法：给门电路输入端加固定的高(H)、低(L)电平，用示波器、万用表或发光二极管(LED)测出门电路的输出响应。
- 动态测试法：给门电路输入端加一串脉冲信号，用示波器观测输入波形与输出波形的同步关系。

6. 常见故障的排除

- 元器件故障：测试器件的功能，判断其是否失效。

- b. 接线问题：检查导线通断，排查错误的接线，用逻辑笔查找虚连的导线。
- c. 设计错误：认真分析问题所在，掌握原理，重新设计。

三、实验内容

1. 验证各逻辑门的功能，列出其真值表。

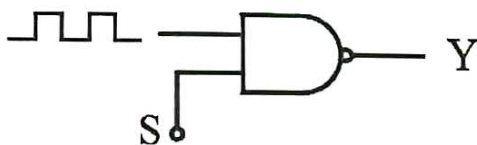
(以与非门 74LS00 为例，输入端输入高低电平，输出端使用逻辑笔显示其逻辑功能，填写表格)

输入		输出			
A	B	Y1	Y2	Y3	Y4
0	0				
0	1				
1	0				
1	1				

请按同样方法测试 74LS08、74LS32、74LS04、74LS86、74LS20 的功能。

2. 动态测试

选用一个与非门按下图连线，将一个输入端接连续脉冲源（频率为 20KHz），S 接任一逻辑电平开关，用示波器观察并记录 S 分别输入高电平 H 和低电平 L 时的输出波形。



与门对脉冲的控制作用同理，参考前面实验内容，对与门、或门、异或门进行动态测试。

3. 设计一个用 A、B、C、D 四个开关控制一盏灯 L 的电路，要求改变任何一个开关状态都能使 L 的状态（亮或灭）发生改变。

4. 设计一个保险箱用的 4 位代码数字锁，4 位代码 A、B、C、D 四个输入端和一个开锁用的钥匙孔输入端 E，当开锁时（E=1），如果输入的代码（例如 1001）与设定的密码相同，则保险箱打开（输出 Y=1），否则电路发出报警信号（输出端 Z=1）。

5. 设计一个全加器，要求用异或门和与非门实现。

6. 用 X、Y 两台水泵给水箱供水，水箱内从高到低设有 A、B、C 三个水位检测元件。要求水位在 C 点以下，X、Y 同时工作；水位在 B、C 之间，X 工作；在 A、B 之间 Y 工作；高于 A 点，两台水泵停止工作。

四、思考题

1. 为了判断 74LS20 逻辑功能是否正常，至少要测量几组输入？
2. 用与非门和异或门设计一可逆的 4 位码制变换器。

设计要求：

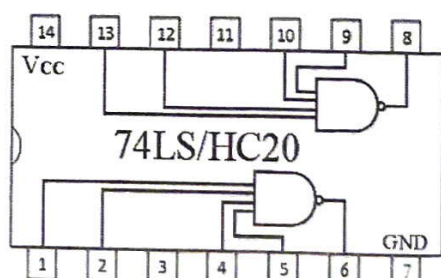
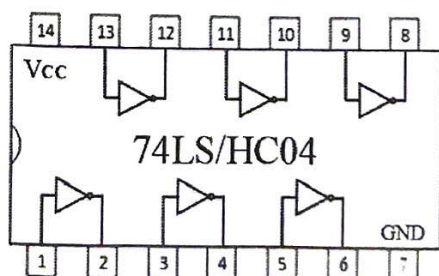
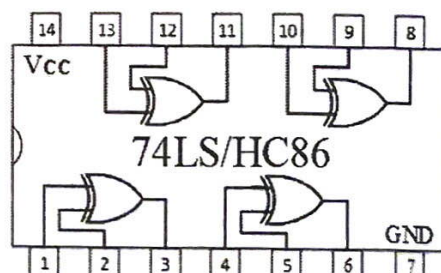
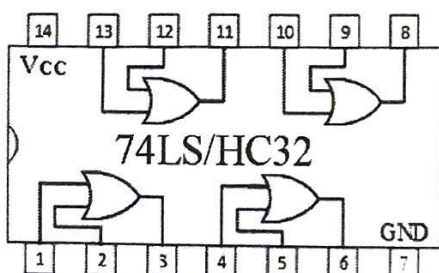
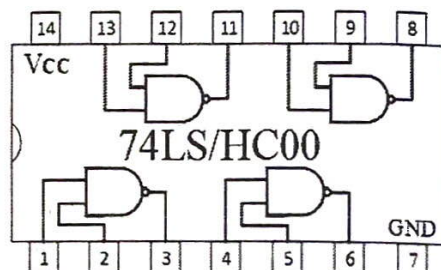
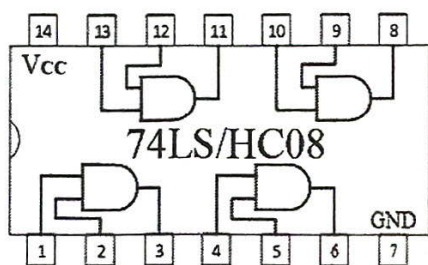
- (1) 在控制信号 $C=1$ 时，它将 8421 码转换为格雷码； $C=0$ 时，它将格雷码转换为 8421 码；
- (2) 写出设计步骤，列出码变换真值表并画出逻辑电路图。

五、实验报告要求

1. 实验原理、实验过程的描述。
2. 整理实验数据，列写实验任务的设计过程，画出设计的逻辑电路图，并注明所用集成电路的引脚号。
3. 拟定记录测量结果的表格。
4. 对实验结果进行简要分析。
5. 进行实验总结。

六、实验设备与器件

1. 数字逻辑电路实验箱。
2. 示波器。
3. 74LS 系列、CC4000 系列或 74HC 系列芯片若干。



实验二 编码器和译码器

一、实验目的

1. 掌握用逻辑门实现编码器的方法。
2. 掌握中规模集成电路编码器和译码器的工作原理以及逻辑功能。
3. 掌握 74LS138 用作数据分配器的方法。
4. 熟悉编码器和译码器的级联方法。
5. 能够利用译码器进行组合逻辑电路设计。

二、实验原理

1. 编码器

在数字电路中，为了区分一系列不同的事物，将其中的每个事物用一个二值代码表示，这就是编码的含义。在二值逻辑电路中，信号都是以高、低电平的形式给出的。因此，编码器的功能就是把每一个高、低电平信号编成一个对应的二进制代码。

(1) 普通编码器

这里主要介绍普通二进制编码器，用 n 位二进制代码对 2^n 个信号进行编码的电路称为二进制编码器。普通编码器即不允许同时输入两个以上的编码信号的编码器。

(2) 8 线-3 线优先编码器 74HC148 / 74LS148

在实际工作中，同时有多个输入被编码时，必须根据轻重缓急，规定好这些控制对象允许操作的先后次序，即优先级别。识别信号的优先级并进行编码的逻辑部件称为优先编码器。编码器 74HC148 的作用是将输入 $I_0 \sim I_7$ 8 个状态分别编成二进制码输出，它的逻辑框图如图 2-1 所示，它的功能表见表 2-1。从其逻辑框图可以看出，它有 8 个输入端，3 个二进制码输出端，输入使能端 S' ，输出使能端 $Y's$ 和优先编码工作状态标志 Y'_{EX} 。8 个输入端的优先级分别从 I_7 至 I_0 递减。

从其功能表可以总结得出：

- ① $S'=0$ 允许编码， $S'=1$ 禁止编码，输出 $Y_2Y_1Y_0=111$ ；
- ② $Y's$ 主要用于多个编码器电路的级联控制，即 $Y's$ 总是接在优先级别低的相邻编码器的 S' 端，当优先级别高的编码器允许编码，而无输入申请时， $Y's=0$ ，从而允许优先级别低的相邻编码器工作，反之若优先级别高的编码器有编码时， $Y's=1$ ，禁止相邻级别低的编码器工作；
- ③ $Y'_{EX}=0$ 表示 $Y_2Y_1Y_0$ 是编码器输出， $Y'_{EX}=1$ 表示 $Y_2Y_1Y_0$ 不是编码器输出， Y'_{EX} 为输出标志位。

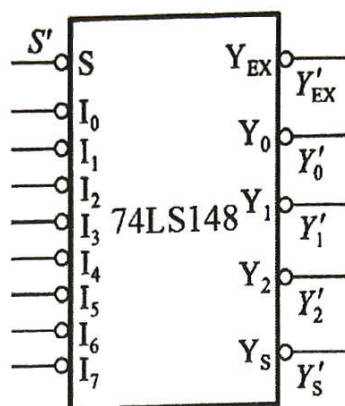


图 2-1 74LS148 逻辑框图

表 2-1 74LS148 功能表

输 入									输 出				
S'	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y_2'	Y_1'	Y_0'	Y_s'	Y_{EX}'
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	
0	X	X	X	X	X	X	X	0	0	0	1	0	
0	X	X	X	X	X	X	0	1	0	1	1	0	
0	X	X	X	X	0	1	1	1	0	1	1	0	
0	X	X	0	1	1	1	1	1	1	0	1	0	
0	X	0	1	1	1	1	1	1	1	1	0	0	
0	0	1	1	1	1	1	1	1	1	1	1	0	

2. 译码器

译码是编码的逆过程，它的功能是将具有特定含义的二进制码进行辨别，并转换成控制信号，具有译码功能的逻辑电路称为译码器。译码器在数字系统中有广泛的应用，不仅用于代码的转换、终端的数字显示，还用于数据分配、存储器寻址和组合控制信号等。不同的功能可选用不同类型的译码器。常用的译码器电路有二进制译码器、二-十进制译码器和显示译码器三类。这里主要介绍二进制译码器和显示译码器。

(1) 二进制译码器

二进制译码器具有 n 个地址输入端， 2^n 个输出端和若干个控制输入端。在控制输入端为有效电平时，对应每一组输入代码，只有其中一个输出端为有效电平，其余输出端则为非有效电平。每一个输出所代表的函数对应于 n 个输入变量的最小项。带控制输入端的译码器又是一个完整的数据分配器，若利用控制输入端中的一个作为数据输入端，器件就成为一个数据分配器。

下面以 3 线-8 线译码器 74HC138 /74LS138 为例进行分析。

74HC138 是一种典型的二进制译码器，其逻辑框图如图 2-2 所示，它有 3 个地址输入端 A_2 、 A_1 、 A_0 ，8 个输出端 $Y'_0 \sim Y'_7$ ，所以称为 3 线—8 线译码器，属于全译码器。74HC138 /74LS138 的功能表如表 2-2 所示，输出低电平有效， S_1 、 S'_2 、 S'_3 为控制输入端，当 $S_1 S'_2 S'_3 = 100$ 时，译码器工作，否则译码器被禁止，所有输出全被封锁在高电平。

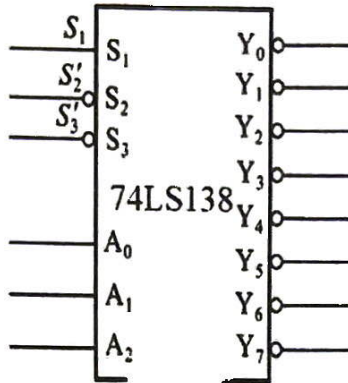


图 2-2 74LS138 逻辑框图

表 2-2 74LS138 功能表

输 入				输 出								
S_1	$S'_2 + S'_3$	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

(2) 显示译码器

在数字测量仪表和各种数字系统中，都需要将数字量直观的显示出来，一方面供人们直接读取测量和运算的结果；另一方面用于监视数字系统的工作情况。因此，数字显示电路是许多数字设备不可缺少的部分。数字显示电路通常由译码器、驱动器和显示器等部分组成。

本实验系介绍 CC4511 BCD 码锁存/七段译码/驱动器，它驱动共阴极 LED 数码管，其

功能表如表 2-3，其引脚排列如图 2-3 所示。

表 2-3 CC4511 功能表

输入							输出							
LE	BI'	LT'	D	C	B	A	a	b	c	d	e	f	g	显示字形
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	消隐
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	0	1	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	0	1	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	0	0	0	0	0	0	0	0	消隐
0	1	1	1	1	1	1	0	0	0	0	0	0	0	消隐
1	1	1	×	×	×	×	锁 存							锁存

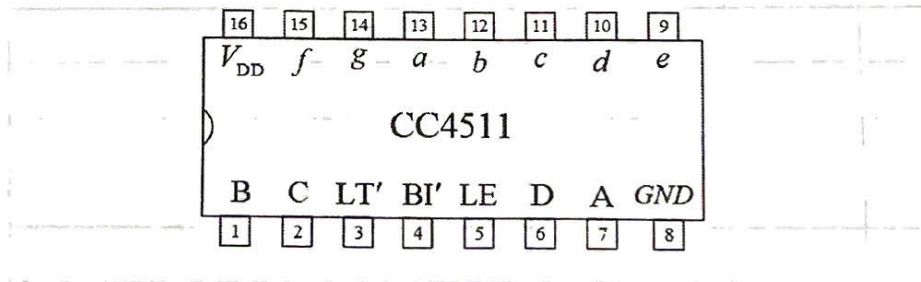


图 2-3 CC4511 引脚排列图

其中 A、B、C、D——BCD 码输入端。

a、b、c、d、e、f、g——译码输出端，输出“1”有效，用来驱动共阴极 LED 数码管。

LT'——测试输入端，LT'=0 时，译码输出全为“1”。

BI'——消隐输入端，BI'=0 时，译码输出全为“0”。

LE——锁定端，LE=1 时译码器处于锁定（保持）状态，译码输出保持在 LE=0 时的数据，LE=0 为正常译码。

CC4511 内接有上拉电阻，故只需在输出端与数码管笔段之间串入限流电阻即可工作。译

码器还有拒伪码功能，当输入码超过 1001 时，输出全为“0”，数码管熄灭。

三、实验内容

1. 试用逻辑门设计一个 4 线-2 线的优先编码器。

用小规模逻辑门芯片设计一个 4 线-2 线的优先编码器，要求输入端高电平有效。将输入端接拨位开关，输出端 $Y_0 \sim Y_1$ 分别接 2 个发光二极管，拨动拨位开关，根据发光二极管显示的变化，逐项验证 4-2 线编码器的功能。自拟表格记录实验数据。

要求：用与非门、反相器

2. 试将 74LS138 用作数据分配器，逻辑电路如图 2-4 所示。将 1Hz 连续脉冲信号加到电路的控制输入端，输出接发光二极管，改变输入地址码 A_2 、 A_1 、 A_0 的值，观察实验现象，记录实验结果。

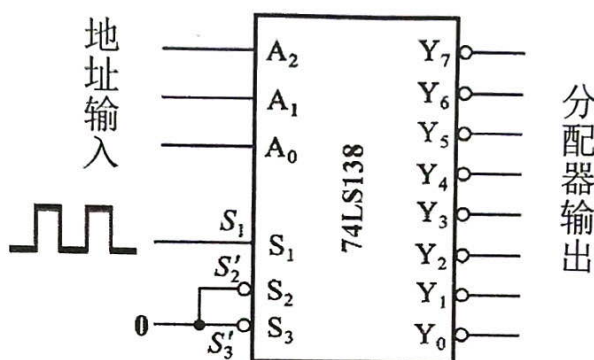


图 2-4 用 74LS138 作数据分配器

3. 验证编码器 74LS148 和译码器 74LS138 的逻辑功能，电路连接如图 2-5 所示。根据图 2-5 中 74LS148 和 74LS138 的输出状态，填写表 2-4，并分析结果。

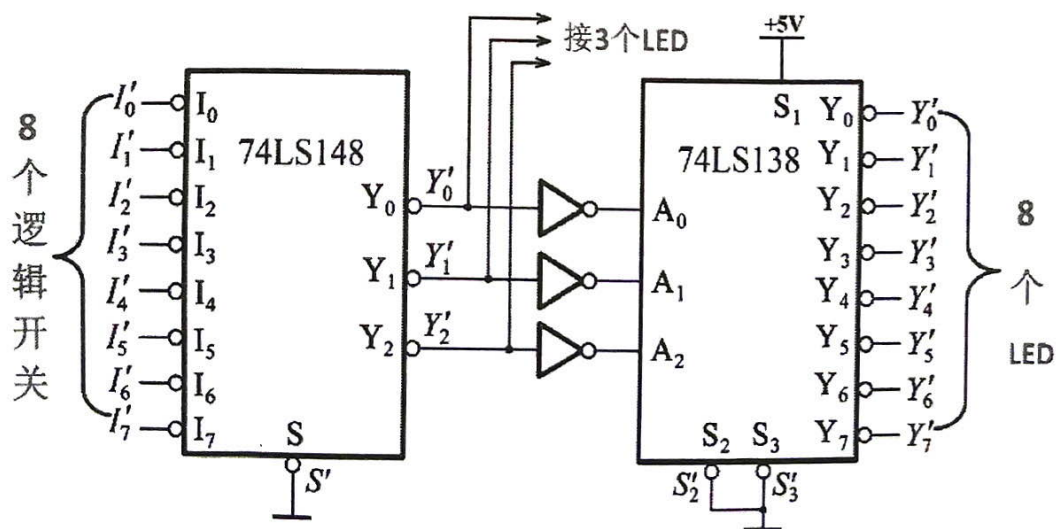


图 2-5 验证 74LS148 和 74LS138 的逻辑功能

表 2-4 74LS148 和 74LS138 的输出状态

74LS148 (编码器)								74LS138 (译码器)														
I'_0	I'_1	I'_2	I'_3	I'_4	I'_5	I'_6	I'_7	Y'_2	Y'_1	Y'_0	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7	
1	1	1	1	1	1	1	1															
0	1	1	1	1	1	1	1															
x	0	1	1	1	1	1	1															
x	x	0	1	1	1	1	1															
x	x	x	0	1	1	1	1															
x	x	x	x	0	1	1	1															
x	x	x	x	x	0	1	1															
x	x	x	x	x	x	0	1															
x	x	x	x	x	x	x	0															

4. 设计一个具有 3 路报警信号的报警装置。

当第一路有报警信号时，数码管显示“1”；当第二路有报警信号时，数码管显示“2”；当第三路有报警信号时，数码管显示“3”；当有两路或两路以上有报警信号时，数码管显示“8”；当无报警信号时，数码管显示“0”。

要求：用 74LS138、CC4511 和逻辑门等器件设计该电路。

5. 试用两片 74LS138 和 74LS20 双与非门设计下面的多输出函数，画出逻辑电路图。

$$\begin{cases} Y_1 = A'BC'D' + A'B'C'D + AB'C'D' + ABCD' \\ Y_2 = BC \end{cases}$$

四、思考题

1. 如何判断一个数码管的好坏？
2. 共阴极和共阳极数字显示器有什么区别？能否用 CC4511 直接驱动共阳极数字显示器？
3. 为什么用二进制译码器可以设计任意的组合逻辑电路？
4. 总结用集成电路进行功能扩展的方法。

五、实验设备与器件

1. 数字逻辑电路实验箱
2. 示波器
3. 集成芯片 74LS/HC148、74LS/HC138、74LS/HC04、74LS/HC00、74LS/HC20。它们的引脚分布如图 2-6 所示。

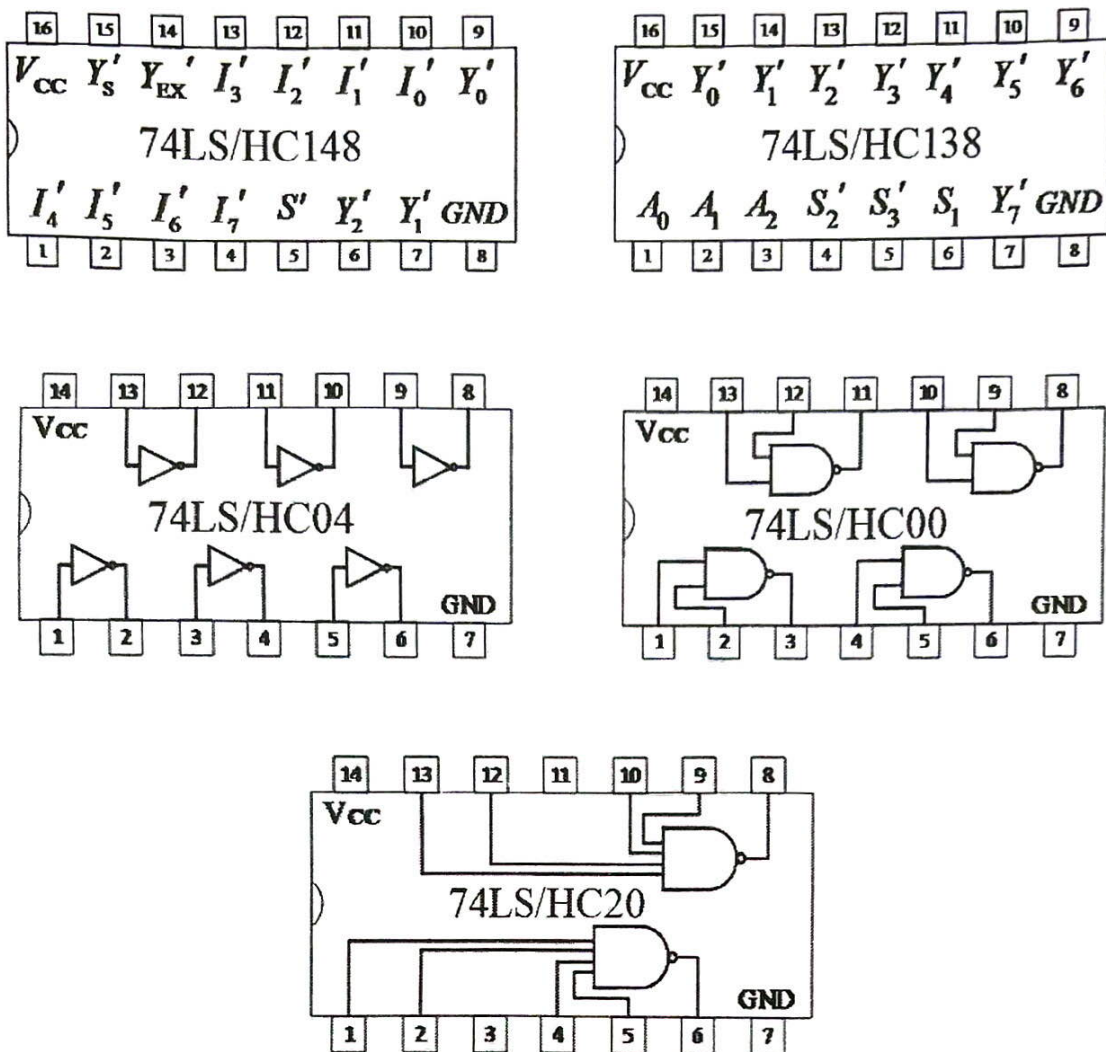


图 2-6 各芯片引脚分布图

实验三 数据选择器与加法器

一、实验目的

1. 熟悉中规模集成电路数据选择器的工作原理和逻辑功能。
2. 了解数据选择器的应用。
3. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
4. 掌握中规模集成电路加法器的工作原理及其逻辑功能。

二、数据选择器

(一) 实验原理

1. 数据选择器又称多路选择器，是一个数据开关，它从 N 路源数据中选择一路送至输出端。四选一数据选择器原理如图 3-1 所示。

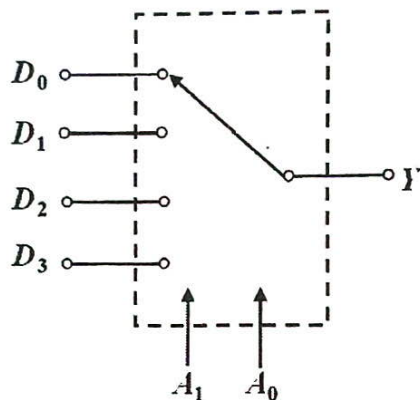


图 3-1 四选一数据选择器原理示意图

2. 双 4 选 1 数据选择器 74LS153，其芯片引脚分布如图 3-2 所示，其功能表如表 3-1。

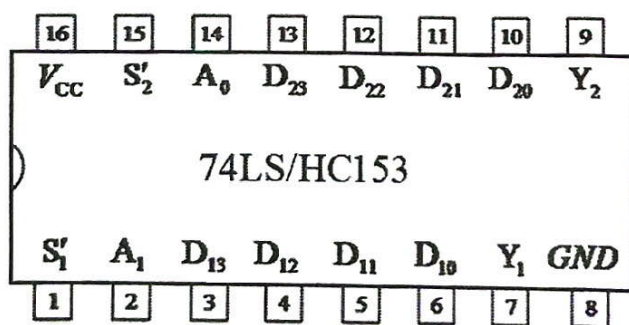


图 3-2 74LS153 芯片引脚图

3-1 74LS153 功能表

输入			输出
S'_1	A_1	A_0	Y_1
1	×	×	0
0	0	0	D_{10}
0	0	1	D_{11}
0	1	0	D_{12}
0	1	1	D_{13}

3. 74LS151 是 8 选 1 数据选择器，其功能表如表 3-2，其芯片引脚分布如图 3-3 所示。它的三个控制端 A_0 、 A_1 、 A_2 ，有 8 种组合，000、001、010、011、100、101、110、111。

表 3-2 74LS151 功能表

输入			输出	
S'	A_2	A_1	A_0	Y
1	×	×	×	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

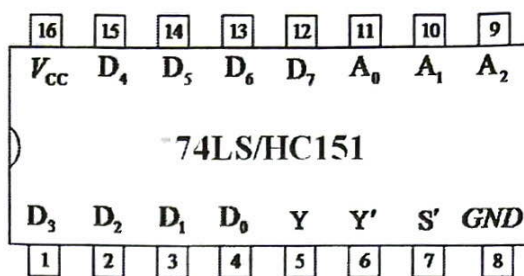


图 3-3 74LS151 芯片引脚图

(二) 实验内容

1. 验证 4 选 1 数据选择器 74LS153 的逻辑功能并记录真值表。
2. 将 74LS153 的两个 4 选 1 数据选择器扩展成 8 选 1 数据选择器，设计逻辑电路图，搭接、实现并记录真值表。
3. 验证 8 选 1 数据选择器 74LS151 的逻辑功能并记录真值表。
4. 用两个 8 选 1 数据选择器 74LS151 扩展成 16 选 1 数据选择器，实现逻辑函数 $\Sigma m(6,7,8,11,13)$ ，设计逻辑电路图，搭接、实现并记录真值表。

提示：数据选择器实验可能用到的逻辑门芯片除 74LS151、74LS153 之外，还有 74LS/HC04、74LS/HC32。芯片引脚图分别如图 3-4、3-5 所示。

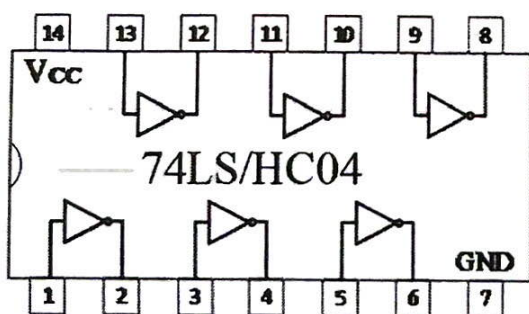


图 3-4 74LS/HC04 引脚图

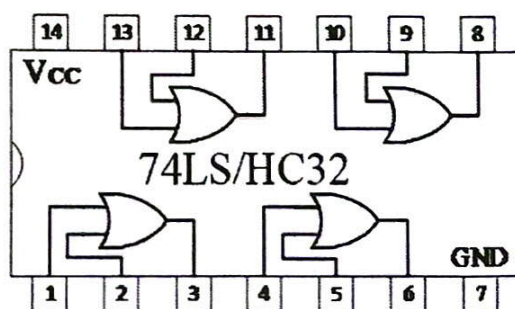


图 3-5 74LS/HC32 引脚图

二、加法器

(一) 实验原理

1. 在数字系统中，经常需要进行算术运算，逻辑操作及数字大小比较等操作，实现这些运算功能的电路是加法器。

2. 加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。

3. 半加器：半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。其真值表如表 3-3。

表 3-3 半加器真值表

A_i	B_i	S_i	C_o
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

由真值表可得出半加器的逻辑表达式：

$$S_i = A_i' B_i + A_i B_i' = A_i \oplus B_i$$

$$C_o = A_i B_i$$

半加器的逻辑电路和符号如图 3-6 所示。

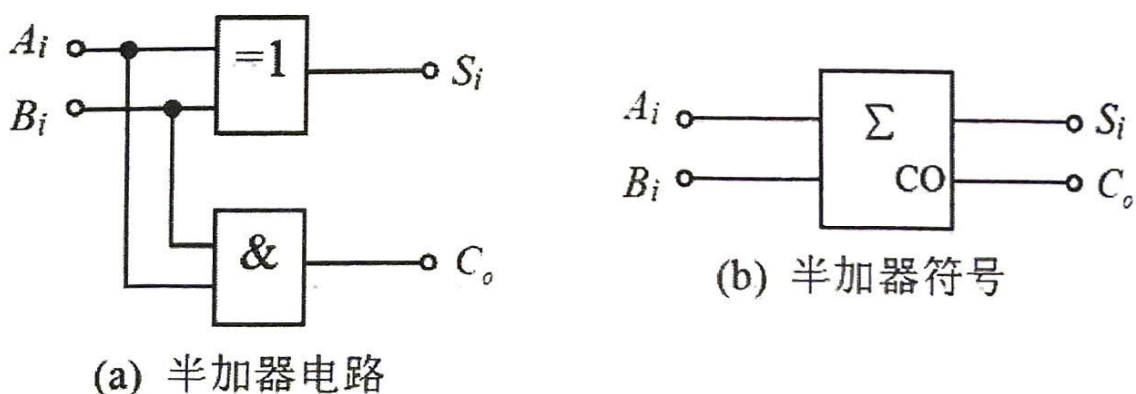


图 3-6 半加器逻辑电路和符号

4. 全加器：全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制数加法。两个多位数相加的每一位都是带进位相加，所以必须用全加器。全加器的真值表如表 3-4。

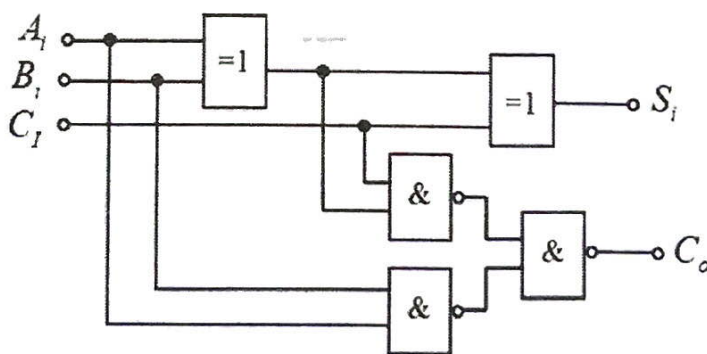
表 3-4 全加器的真值表

A_i	B_i	C_I	S_i	C_O
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

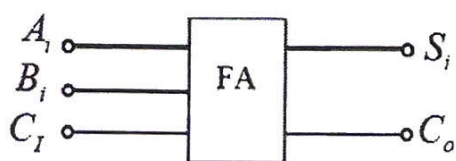
根据真值表可以写出全加器的逻辑表达式:

$$\begin{aligned}
 S_i &= m_1 + m_2 + m_4 + m_7 = A_i' B_i' C_I + A_i' B_i C_I' + A_i B_i' C_I' + A_i B_i C_I \\
 &= A_i' (B_i' C_I + B_i C_I') + A_i (B_i' C_I' + B_i C_I) = A_i' (B_i \oplus C_I) + A_i (B_i \oplus C_I)' \\
 &= A_i \oplus B_i \oplus C_I \\
 C_o &= m_3 + m_5 + A_i B_i = A_i' B_i C_I + A_i B_i' C_I + A_i B_i = (A_i' B_i + A_i B_i') C_I + A_i B_i \\
 &= (A_i \oplus B_i) C_I + A_i B_i
 \end{aligned}$$

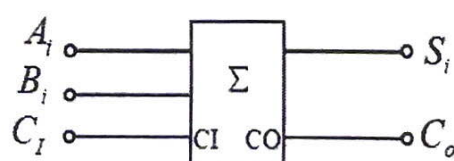
全加器的逻辑电路和符号如图 3-7 所示。



(a) 逻辑图



(b) 曾用符号



(c) 国标符号

图 3-7 全加器的逻辑电路和符号

5. 串行进位加法器:

将多个全加器串接, 使低位的进位输出端依次连接到相邻的高位的进位输入端, 由此级联得到的加法器称为串行进位加法器。四位串行进位加法器的逻辑电路如图 3-8 所示。

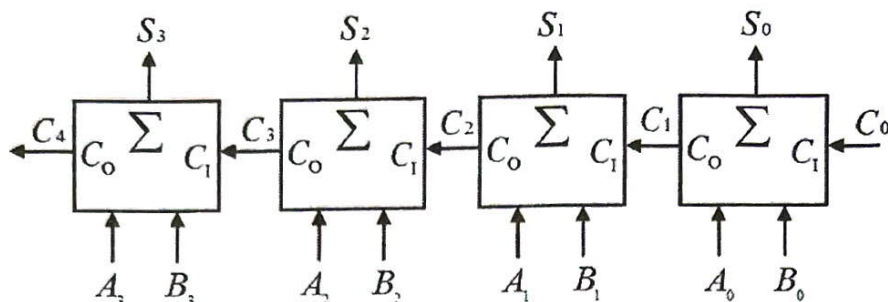


图 3-8 四位串行进位加法器

串行进位加法器的特点是: 结构简单, 运算速度慢; 且位数越多, 运算速度越慢。

6. 超前进位并行加法器:

超前进位是指在加法运算电路中, 各级进位信号几乎在相加开始时就已经得到, 并同时送到各位全加器的进位输入端。超前进位电路可构成快速进位全加器, 典型的中规模超前进位 4 位全加器集成电路是 74LS283, 它可以实现两个四位二进制数的并行全加运算。加进位输入 C_i 和进位输出 C_o 。主要用来扩大加法器字长, 作为组间进位之用。由于它采用超前进位方式, 所以进位传送速度快, 运算速度大大提高。

74LS283 的芯片引脚分布及逻辑符号如图 3-9 所示。

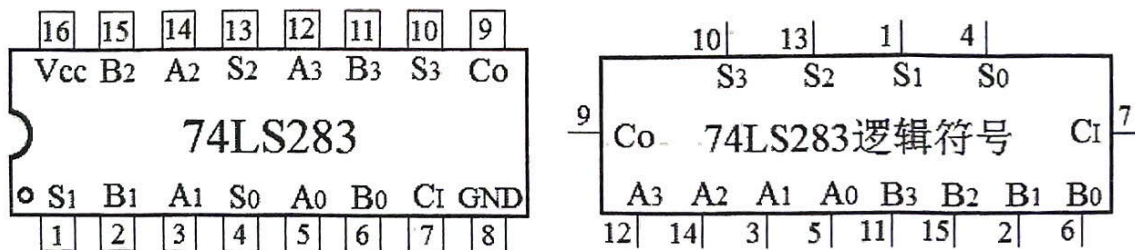


图 3-9 74LS283 的芯片引脚图及逻辑符号。

7. 用 74LS283 构成一位 8421BCD 码加法器

① 一位 8421BCD 码由四位二进制码构成, 完成一位 8421BCD 码加法需要 4 个一位二进制全加器。两个一位 BCD 码相加时进位规则是“逢十进一”。

② 四位二进制数有 16 种组合, 两个四位二进制数相加时进位规则是“逢十六进一”, 两者在进位时相差 6(即 0110)。

③ 8421BCD 码只用 0000~1001 前 10 种编码表示 0~9 这 10 个十进制数, 当和数大于 9(1001)或向高位有进位 (大于 ≥ 16) 时, 必须对结果进行修正。

(二) 实验内容

1. 用一片 74LS283 实现并行四位全加，将 A 置为 1001，B 置为 0000~1001，依次计算 A+B 并列表记录结果。
2. 用一片 74LS283 实现数据比较功能，要求输入（四位二进制）<11 时输出一位低电平，≥11 时输出一位高电平，要求画出逻辑电路图并记录结果。
3. 用两片 74LS283 和必要的逻辑门电路实现两个一位 8421BCD 码求和运算，结果仍为 8421BCD 码，要求画出逻辑电路图并记录结果。

三、思考题

1. 用一片 74LS151 设计实现如下逻辑函数：

$$Z = AC'D + BC + BC'D' + A'B'CD。$$

2. 用两片 74LS283 和必要的门电路实现一个带借位输入和借位输出的一位 8421BCD 码减法器，要求电路输出为原码。

四、实验报告要求

1. 实验原理、实验过程的描述。
2. 整理实验数据，列写实验任务的设计过程，画出设计的逻辑电路图，并注明所用集成电路的引脚号。
3. 拟定记录测量结果的表格。
4. 总结用门电路实现半加器和全加器的方法。
5. 总结用四位二进制全加器 74LS283 设计数码转换电路的方法。

五、实验设备与器件

1. 数字逻辑电路实验箱
2. 集成芯片 74LS/HC151、74LS/HC153、74LS/HC04、74LS/HC283、74LS/HC08、74LS/HC32。它们的引脚分布如图 3-11 所示。

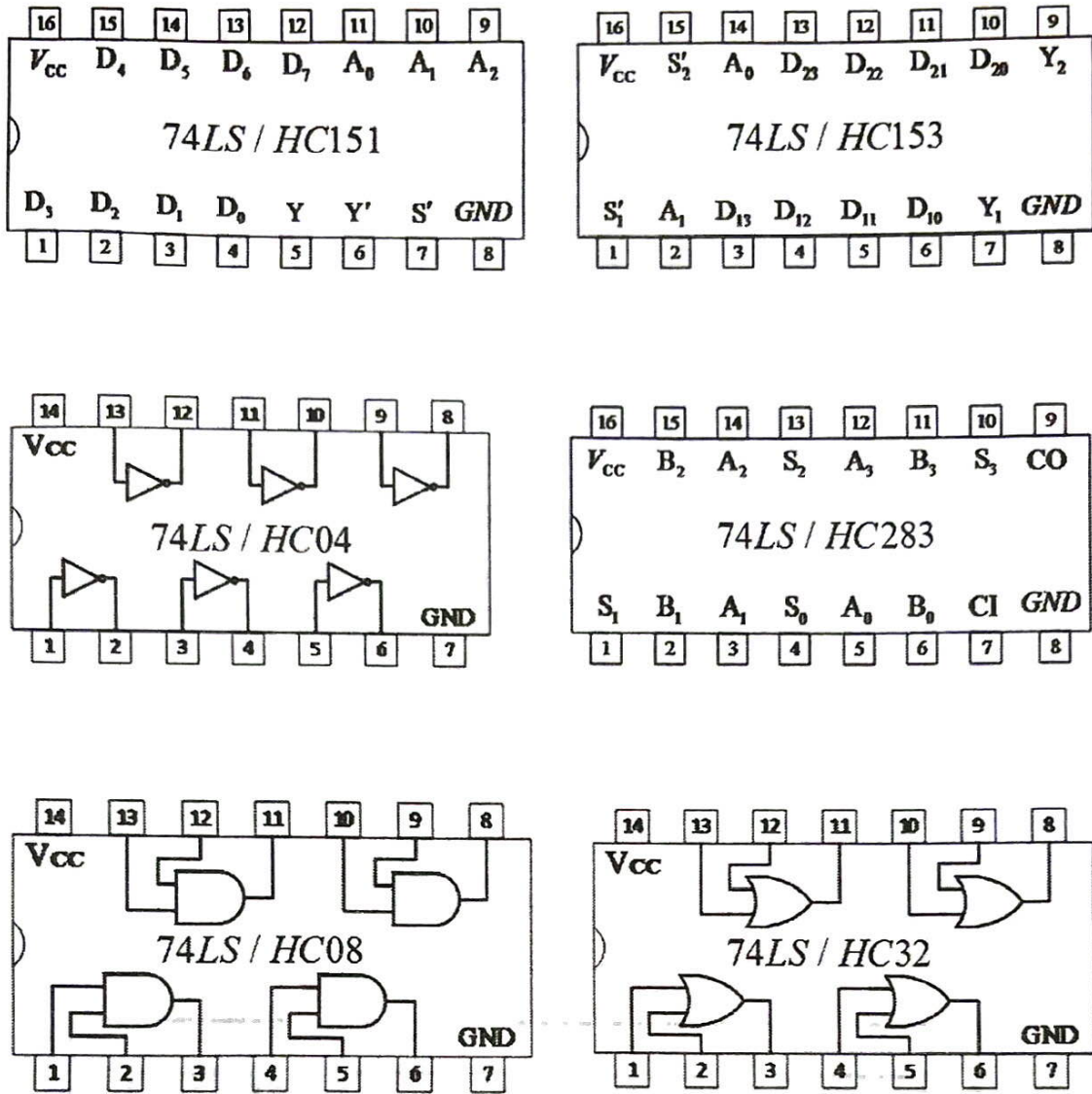


图 3-11 各芯片引脚图

实验四 移位寄存器及应用

一、实验目的

1. 进一步掌握时序逻辑电路的设计步骤和方法；
2. 熟悉和了解移位寄存器的工作原理功能及应用方法；
3. 熟悉中规模 4 位双向移位寄存器的逻辑功能。

二、实验原理

1. 具有寄存数据功能的逻辑电路称为寄存器。
2. 构成寄存器的基本逻辑单元是触发器。常用的 D 触发器如图 4-1 所示。

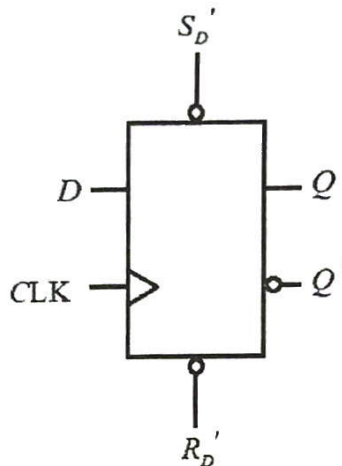


图 4-1 D 触发器

由四个 D 触发器构成的四位寄存器如图 4-2 所示。

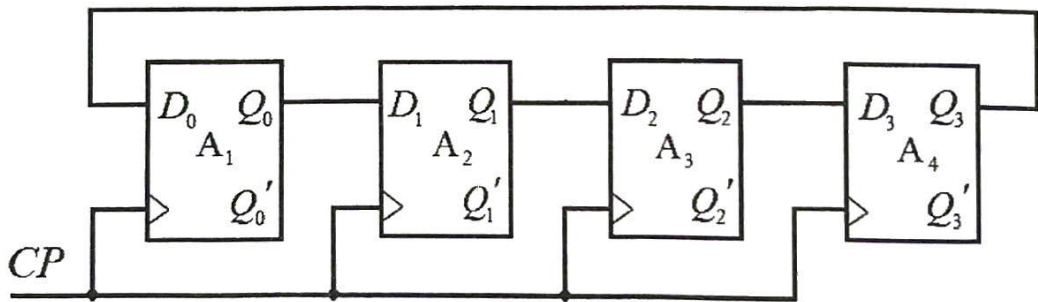


图 4-2 由 D 触发器构成的寄存器

3. 移位寄存器：是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的移位寄存器称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位。

4. 根据存取信息的方式不同，移位寄存器可分为：串入串出、串入并出、并入串出、并入并出四种形式。其逻辑电路示例如图 4-3 所示。

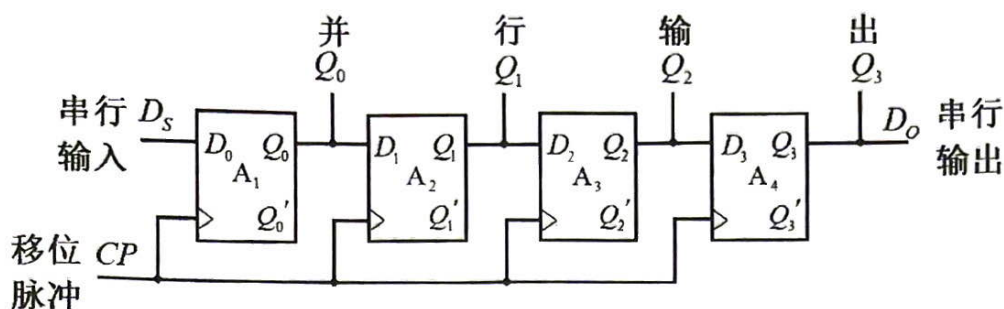


图 4-3 移位寄存器逻辑电路示例

5. 中规模双向移位寄存器：这里介绍 74LS194，其引脚分布如图 4-4 所示。

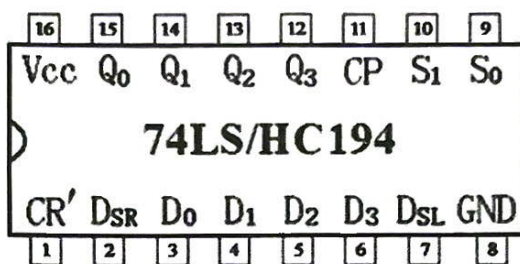


图 4-4 74LS194 引脚分布图

各引脚功能为：

- D_0 、 D_1 、 D_2 、 D_3 为并行输入端
- Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端
- D_{SR} 为右移串行输入端， D_{SL} 为左移串行输入端
- S_1 、 S_0 为操作模式控制端
- CR' 为异步清零端
- CP 为移位脉冲输入端

6. 74LS194 有 5 种不同操作模式：并行送数寄存、右移（方向由 Q_0 至 Q_3 ），左移（方向由 Q_3 至 Q_0 ）、保持及清零。 S_1 、 S_0 和 CR' 端的控制作用如表 4-1 所示：

表 4-1 74LS194 逻辑功能表

CP	CR'	S_1	S_0	功能	$Q_0^*Q_1^*Q_2^*Q_3^*$
×	0	×	×	清零	$CR'=0$ ，使 $Q_0^*Q_1^*Q_2^*Q_3^*=0000$ ，故寄存器正常工作时， $CR'=1$
↑	1	1	1	送数	CP 上升沿作用后，并行输入数据送入寄存器， $Q_0^*Q_1^*Q_2^*Q_3^*=D_0D_1D_2D_3$ ，此时串行数据 (D_{SR} 、 D_{SL}) 被禁止。
↑	1	0	1	右移	串行数据送至右移输入端 D_{SR} ， CP 上升沿进行右移， $Q_0^*Q_1^*Q_2^*Q_3^*=D_{SR}Q_0Q_1Q_2$
↑	1	1	0	左移	串行数据送至左移输入端 D_{SL} ， CP 上升沿进行左移， $Q_0^*Q_1^*Q_2^*Q_3^*=Q_1Q_2Q_3D_{SL}$
↑	1	0	0	保持	CP 作用后寄存器内容保持不变， $Q_0^*Q_1^*Q_2^*Q_3^*=Q_0Q_1Q_2Q_3$
↓	1	×	×	保持	$Q_0^*Q_1^*Q_2^*Q_3^*=Q_0Q_1Q_2Q_3$

三、实验内容

1. 用四块 D 型触发器（两块 74LS74）接成 4 位输出的移位寄存器（逻辑电路如图 4-5 所示）。

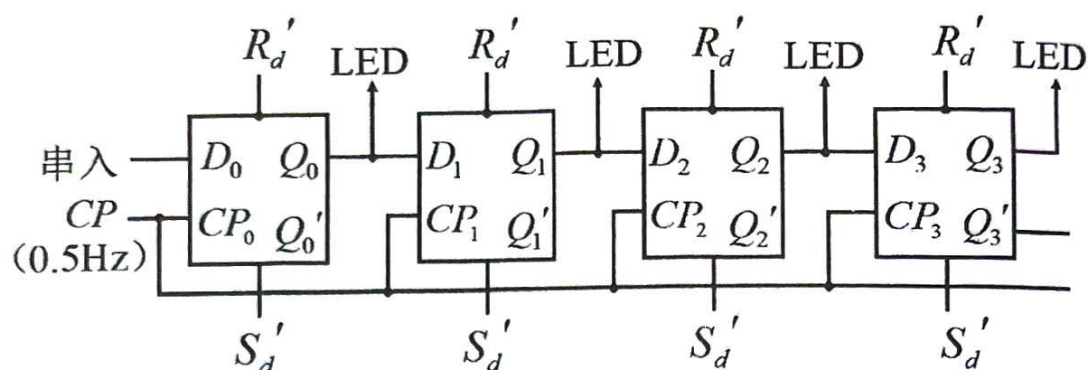


图 4-5 由两片 74LS74 构成 4 位移位寄存器

(1) 从 D_0 端串行输入，将寄存器的初态分别置成 Q_3-Q_0 : 0001, 0110, 0101, 0111, 在每种初态下，把 D_0 接 Q_3 ，记录在 CP 作用下 LED 的工作状态。

(2) 从 D_0 端串行输入，将寄存器的初态分别置成 Q_3-Q_0 : 0000 和 0101，把 D_0 接 Q_3' ，记录在 CP 作用下 LED 的工作状态。

(也可以运用 D 触发器的异步清 0 端 R_d' 和置 1 端 S_d' 来设寄存器的初态， $R_d'=0$ 时 $Q=0$ ， $S_d'=0$ 时， $Q=1$ 。)

(3) 设置自启动函数为: $D_0 = ((Q_1 Q_2')' Q_3)'$ (逻辑电路如图 4-6 所示)，记录在 CP 作用下 LED 的所有工作状态 (全状态转换图)

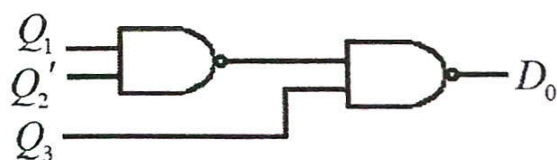


图 4-6 自启动函数 D_0 的逻辑电路图

提示: 实验所用的 74LS/HC74 和 74LS/HC00 芯片引脚分布如图 4-7 所示。

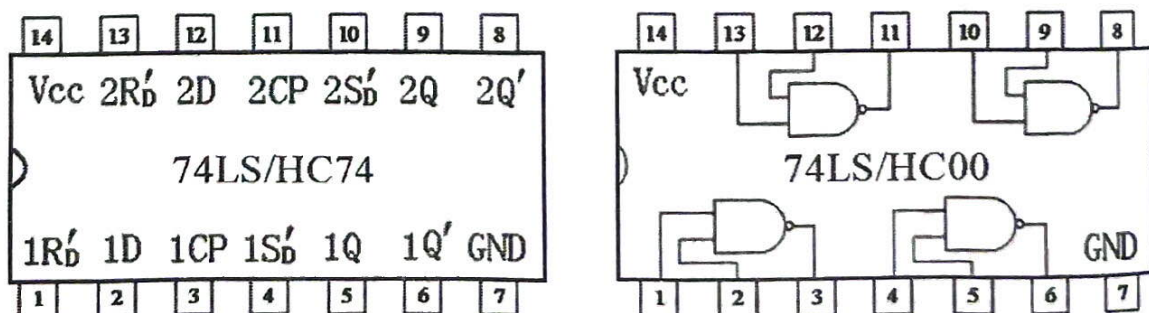


图 4-7 74LS/HC74、74LS/HC00 引脚图

2. 测试双向移位寄存器 74LS194 的逻辑功能

74LS194 的功能表如表 4-2，其芯片引脚图如图 4-8 所示。

表 4-2 74LS194 功能表

CR'	$S_1 S_0$	工作状态
0	××	置零
1	00	保持
1	01	右移
1	10	左移
1	11	置数 (并行输入)

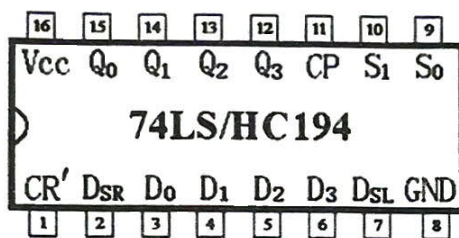


图 4-8 74LS194 引脚图

将 74LS194 清零端 CR' 接“1”， $D_0, D_1, D_2, D_3, S_1, S_0$ 分别接 6 个逻辑开关， CP 接 1Hz 脉冲信号， Q_0-Q_3 分别接 4 个 LED。

- (1) $S_1S_0=11$ ， $D_0D_1D_2D_3$ 分别取 0110 和 1001，记录 Q_0-Q_3 的工作状态。
 - (2) $S_1S_0=00$ ，观察并记录 Q_0-Q_3 的状态。
 - (3) $S_1S_0=01$ ，取初态 Q_0-Q_3 ：1000，使 D_{SR} 与 Q_3 相连，记录 Q_0-Q_3 的工作状态。
 - (4) $S_1S_0=10$ ，取初态 Q_0-Q_3 ：0001，使 D_{SL} 与 Q_0 相连，记录 Q_0-Q_3 的工作状态。
3. 用 74LS194 组成包含启动开关的 3 位串-并转换电路 (其电路主要部分如图 4-9 所示)。
- (1) 启动前，启动开关置 0，74LS194 处于置数状态 ($S_1S_0=11$)
 - (2) 启动开关置“1”，74LS194 进入右移状态 ($S_1S_0=01$)，输出端 Q_3 依次输出 $D_2D_1D_00$
 - (3) 标志位 0 到达输出端 Q_3 后，74LS194 再次进入置数状态 ($S_1S_0=11$)
 - (4) 循环输出 $N_2N_1N_00N_2N_1N_00\dots$
 - (5) 将逻辑电路图补全，搭建电路，并记录状态转移图。

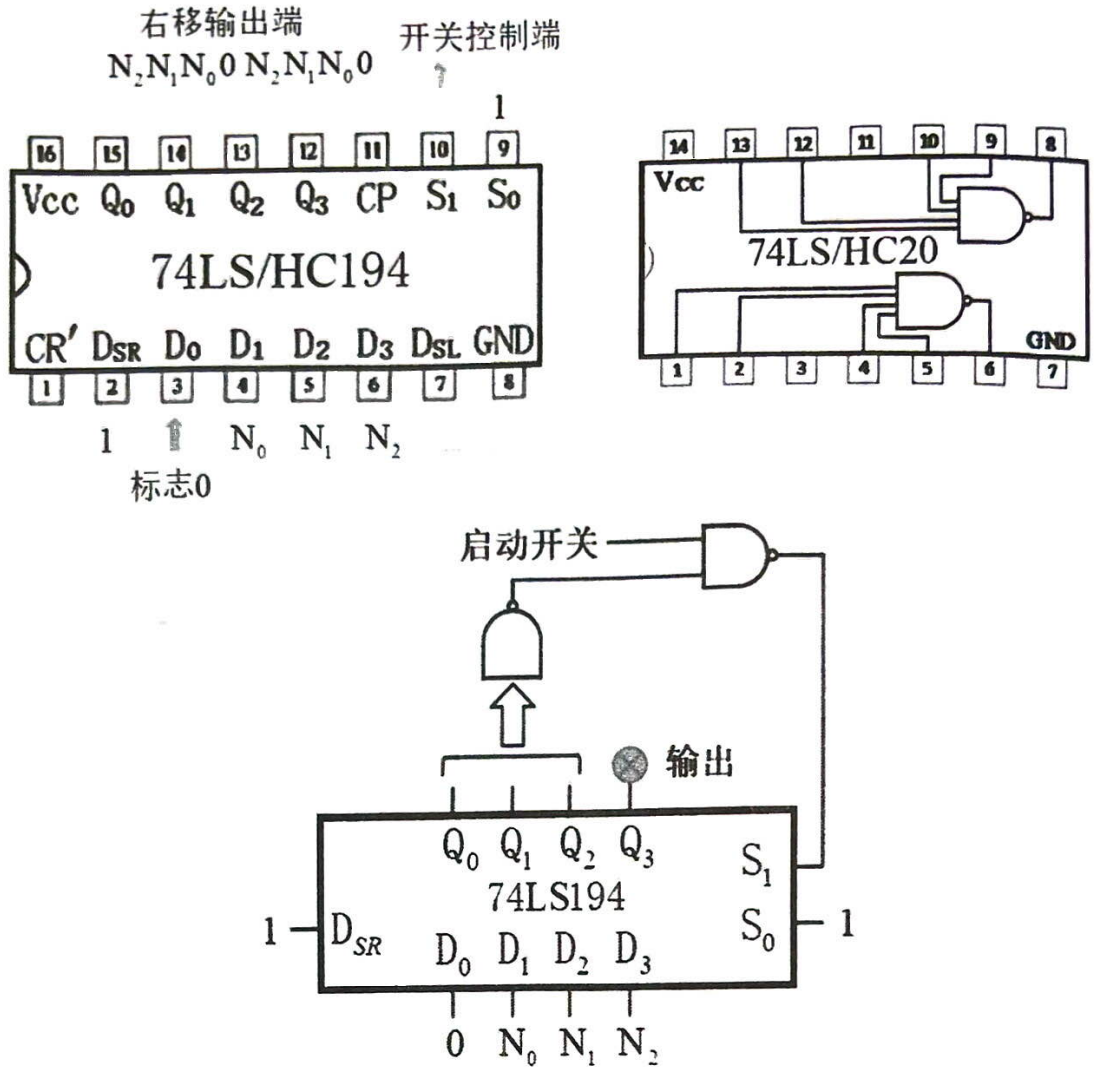


图 4-9 3 位串并转换电路的主要部分

四、思考题

1. 在 N 位移位寄存器中，串行输入 N 位二进制数需要多少个 CP ? 送数的次序应从高位至低位，还是低位至高位?
2. 用 74LS194 及逻辑门实现一个按 $7 \rightarrow 14 \rightarrow 13 \rightarrow 11$ 循环计数的自启动四位环形计数器，写出设计过程，画出逻辑图。

五、实验报告要求

1. 实验原理、实验过程的描述。
2. 整理实验数据，列写实验任务的设计过程，画出设计的逻辑电路图，并注明所用集成电路的引脚号。
3. 拟定记录测量结果的表格。
4. 对实验结果进行简要分析。
5. 进行实验总结。

六、实验设备与器件

1. 数字逻辑电路实验箱。
2. 74 系列芯片若干。

实验五 抢答器

一、实验目的

1. 综合运用 D 触发器、门控时钟、计数器等。
2. 用 LED 和数码管显示抢答成功的组号。
3. 了解小型综合数字系统实验的调试和故障排除方法。

二、实验原理

图 5-1 为抢答器的原理图，它由抢答显示模块、分频模块和倒计时显示模块组成。

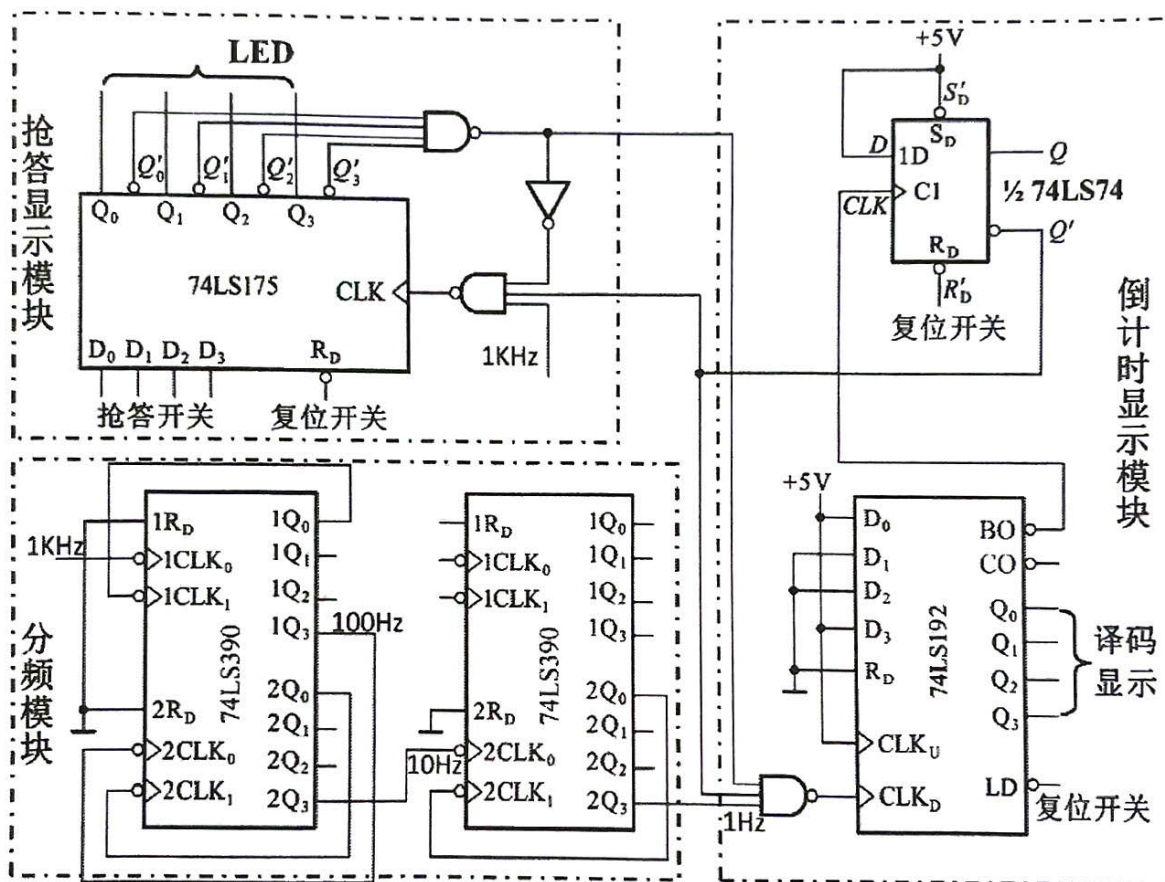


图 5-1 四路抢答器原理图

1. 抢答显示模块

抢答组数分为四组，抢答开始时（或每轮抢答之后），由主持人清除信号，即按下 R_D 复位开关，74LS175 的 Q₀-Q₃ 的输出为低电平 0，所有发光二极管 LED 均熄灭。当抢答开始后，反应最快的参赛者按下开关，对应的 LED 点亮，同时，切断了 74LS175 的时钟信号，使电路不再接受其他参赛者的抢答，直到主持人再次清除信号为止。

2. 分频模块

分频电路模块采用 74LS390 构成三级十分频电路，可将 1KHz 的脉冲信号变成 1Hz 的脉冲信号。74LS390 为双四位十进制计数器，其功能表见表 5-1。

表 5-1 $\frac{1}{2}$ 74LS390 功能表

输 入		输 出		功 能
清 0	时 钟	$Q_3 Q_2 Q_1 Q_0$		
R_D	$CLK_0 CLK_1$			
1	× ×	0 0 0 0		异步清 0
0	↓ 1	- - - 0~1		二进制计数
	1 ↓	000~100 -		五进制计数
	↓ Q_0	0000 ~ 1001 8421BCD码		十进制计数
	Q_3 ↓	$Q_0 Q_3 Q_2 Q_1$ 输出 5421BCD码		十进制计数
	1 1	不 变		保 持

3. 倒计时显示模块

倒计时模块可实现答题时间倒计时，当任一参赛者抢答成功，同时开始倒计时。计数器 74LS192 在倒计时完后借位输出端 BO' 产生一个负脉冲，使 74LS74 的 Q' 输出低电平，从而封锁 1KHz 和 1Hz 脉冲，计时显示锁存在“9”，直至主持人按下复位开关。

74LS192 是同步十进制可逆计数器，具有双时钟输入，并具有清除和置数功能，表 5-2 为其功能表。

表 5-2 74LS192 功能表

输 入								输 出			
R_D	LD'	CLK_U	CLK_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	0	0	0	0
0	0	×	×	d	c	b	a	d	c	b	a
0	1	↑	1	×	×	×	×	加计数 0000 ~ 1001			
0	1	1	↑	×	×	×	×	减计数 1001 ~ 0000			

其中 R_D —清除端， LD' —置数端， CLK_U —加计数端， CLK_D —减计数端， CO' —非同步进位输出端， BO' —非同步借位输出端。

D_0 、 D_1 、 D_2 、 D_3 —计数器输入端，

Q_0 、 Q_1 、 Q_2 、 Q_3 —数据输出端，

当清除端 R_D 为高电平“1”时，计数器直接清零； R_D 置低电平则执行其它功能。

当 R_D 为低电平“0”时，置数端 LD' 也为低电平时，数据直接从置数端 D_0 、 D_1 、 D_2 、 D_3 置入计数器。

当 R_D 为低电平， LD' 为高电平时，执行计数功能。执行加计数时，减计数端 CLK_D 接高电平，计数脉冲由 CLK_U 输入；在计数脉冲上升沿进行 8421 码十进制加法计数。执行减计数时，加计数端 CLK_U 接高电平，计数脉冲由减计数端 CLK_D 输入。

抢答器电路还可以增加功能模块，使其更加完善，比如增加抢答时间倒计时功能、任一参赛者抢答成功电路发出短暂声响功能等等。

三、实验内容

- 1、测试各逻辑门和触发器的逻辑功能。
- 2、测试抢答模块电路功能（时钟信号接实验箱上连续脉冲源，取频率约 1KHz）。
- 3、试实现在 1 个数码管上显示抢答成功的组号，画出电路图。（可使用 74LS32 ）。
- 4、搭建分频电路模块，用示波器测量其输出频率。
- 5、测试计数器 74LS192 功能后接入电路中，倒计时电路中增加 D 触发器，实现答题时间倒数到 0 后，锁定显示“9”，直到主持人按下复位开关。

四、思考题

- 1、抢答模块的门控时钟信号为什么选择 1kHz？如果选择 1Hz 信号，会出现什么问题？
- 2、在本实验基础上设计一个 60 秒的答题倒计时电路，要求计时显示精确到秒。

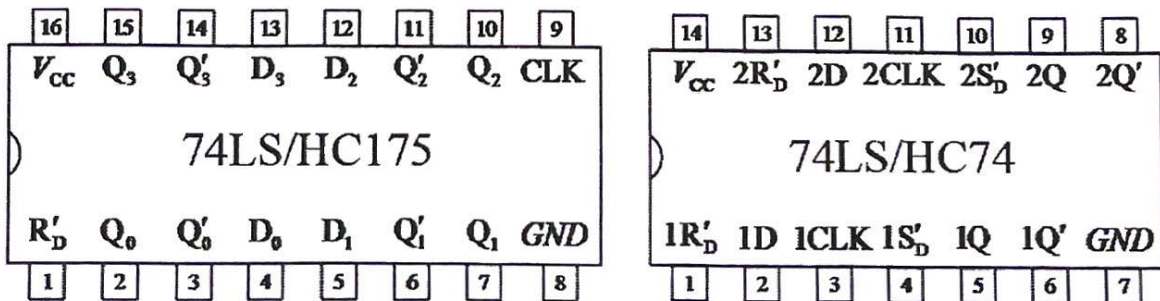
五、实验设备与器件

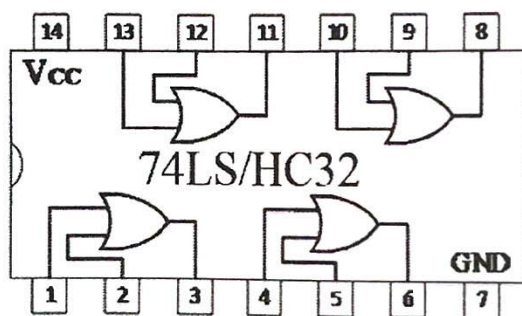
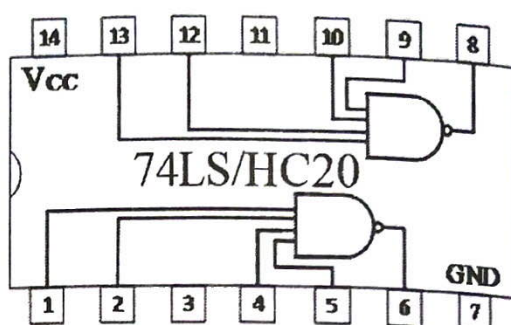
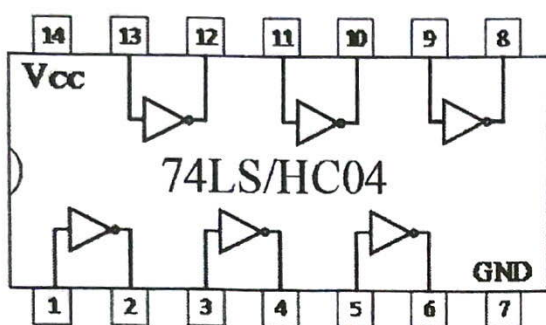
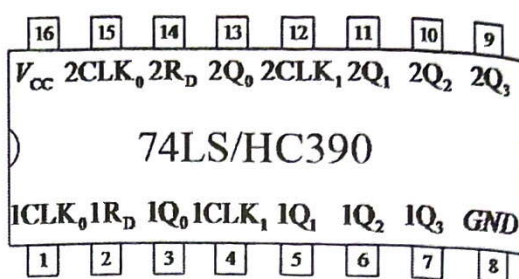
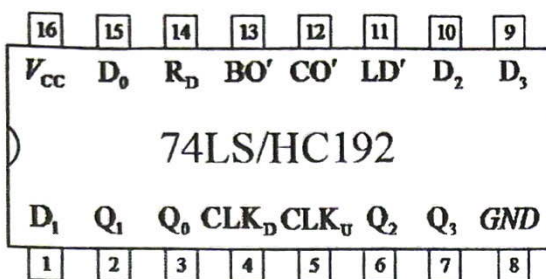
数字逻辑实验箱、示波器

触发器：74LS175、74LS74

门电路：74LS04、74LS20、74LS32

计数器：74LS192、 74LS390





实验六 555 时基电路应用

一、实验目的

1. 掌握 555 型集成时基电路的结构及工作原理。
2. 掌握 555 型集成时基电路的基本应用。

二、实验原理

1. 555 型集成时基电路是一种产生时间延迟和多种脉冲信号的电路。
2. 555 定时器内部框图及引脚排列如图 6-1 所示。

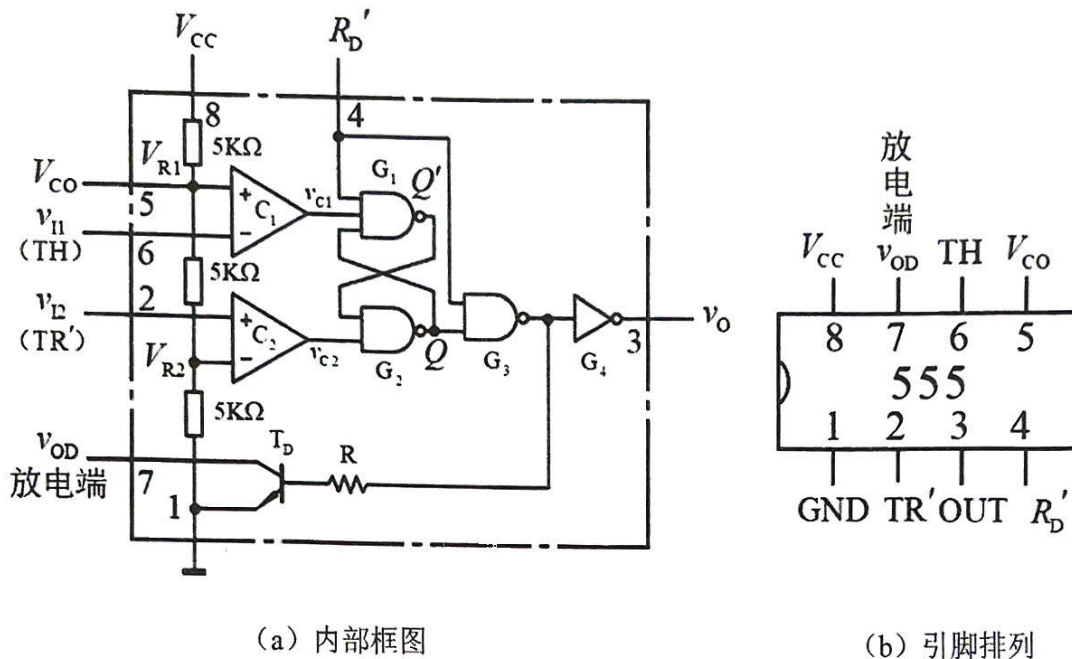


图 6-1 555 定时器内部框图及引脚排列

各引脚功能为：

- (1) 1 脚为接地端 GND；
- (2) 2 脚为低电平触发端，由此输入低电平触发脉冲；
- (3) 3 脚为输出端，双极型 555 输出电流可达 200mA；CMOS 型 7555 输出电流可达 4mA；
- (4) 4 脚为复位端，输入负脉冲（或使其电压低于 0.7V）可使 555 定时器直接复位；
- (5) 5 脚为电压控制端，在此端外加电压可以改变比较器的参考电压，不用时，经 0.01 μ F 的电容接地，以防止引入干扰；
- (6) 6 脚为高电平触发端，由此输入高电平触发脉冲
- (7) 7 脚为放电端，555 定时器输出低电平时，放电晶体管 T_D 导通，外接电容元件通过 T_D 放电；
- (8) 8 脚为电源电压 V_{CC} 。

3. 555 电路的工作原理

由图 6-1 (a) 555 电路的内部框图可见, 它包含两个结构完全相同的比较器 C_1 和 C_2 。 v_{I1} 是比较器 C_1 的输入端 (也称阈值端, 用 TH 表示), v_{I2} 是比较器 C_2 的输入端 (也称触发端, 用 TR' 表示)。当控制电压输入端 V_{CO} 无外加电压时, C_1 和 C_2 的参考电平 (电压比较的基准) 由三个 $5K\Omega$ 电阻对 V_{CC} 分压决定。可得, C_1 的同相端电平 $V_{R1}=2/3V_{CC}$, C_2 的反相端电平 $V_{R2}=1/3V_{CC}$ 。如果 V_{CO} 外加固定电压, 则 $V_{R1}=V_{CO}$, $V_{R2}=1/2 V_{CO}$ 。

R_D' 是置零输入端, 只要在 R_D 端加上低电平, 输出 v_O 便立即被置成低电平, 不受其他输入端状态的影响。正常工作时必须使 R_D 端接高电平。

由图 6-1 (a) 可知, 当 $v_{I1}>V_{R1}$ 、 $v_{I2}>V_{R2}$ 时, 比较器 C_1 的输出 $v_{C1}=0$, 比较器 C_2 的输出 $v_{C2}=1$, SR 锁存器被置 0 ($Q=0$), T_D 导通, 同时定时器输出 $v_O=0$ (为低电平)。

当 $v_{I1}<V_{R1}$ 、 $v_{I2}>V_{R2}$ 时, $v_{C1}=1$, $v_{C2}=1$, 锁存器的状态保持不变, 因而 T_D 和输出 v_O 的状态也保持不变。

当 $v_{I1}<V_{R1}$ 、 $v_{I2}<V_{R2}$ 时, $v_{C1}=1$, $v_{C2}=0$, 锁存器被置 1 ($Q=1$), $v_O=1$ (为高电平), 同时 T_D 截止。

当 $v_{I1}>V_{R1}$ 、 $v_{I2}<V_{R2}$ 时, $v_{C1}=0$, $v_{C2}=0$, 锁存器处于 $Q=Q'=1$ 的状态, $v_O=1$ (为高电平), 同时 T_D 截止。

电路中 T_D 的集电极 v_{OD} 端如果经过电阻接到电源上, 只要这个电阻的阻值足够大, v_O 为高电平时, v_{OD} 也一定为高电平, v_O 为低电平时, v_{OD} 也一定为低电平。

为了提高电路的带负载能力, 555 定时器还在输出端设置了缓冲门 G_4 , 这使得它能承受较大的负载电流 (即能提供较大的电流驱动能力)。此外, 555 定时器可在很宽的电源电压范围内工作。双极型 555 定时器的电源电压范围为 $5\sim 16V$, 可承受的最大负载电流达 $200mA$ 。CMOS 型 7555 定时器的电源电压范围为 $3\sim 18V$, 可承受的最大负载电流为 $4mA$ 。

555 定时器电路的应用设计很方便, 只要在外围配上几个适当的阻容元件, 就可构成单稳态触发器、多谐振荡器以及施密特触发器等脉冲产生与整形电路以及从微秒到数十分钟的延时电路, 从而在工业自动控制、定时、仿声和防盗报警等方面有着广泛的应用。

三、实验内容

1. 用 555 构成单稳态触发器

电路和波形如图 6-2 所示。

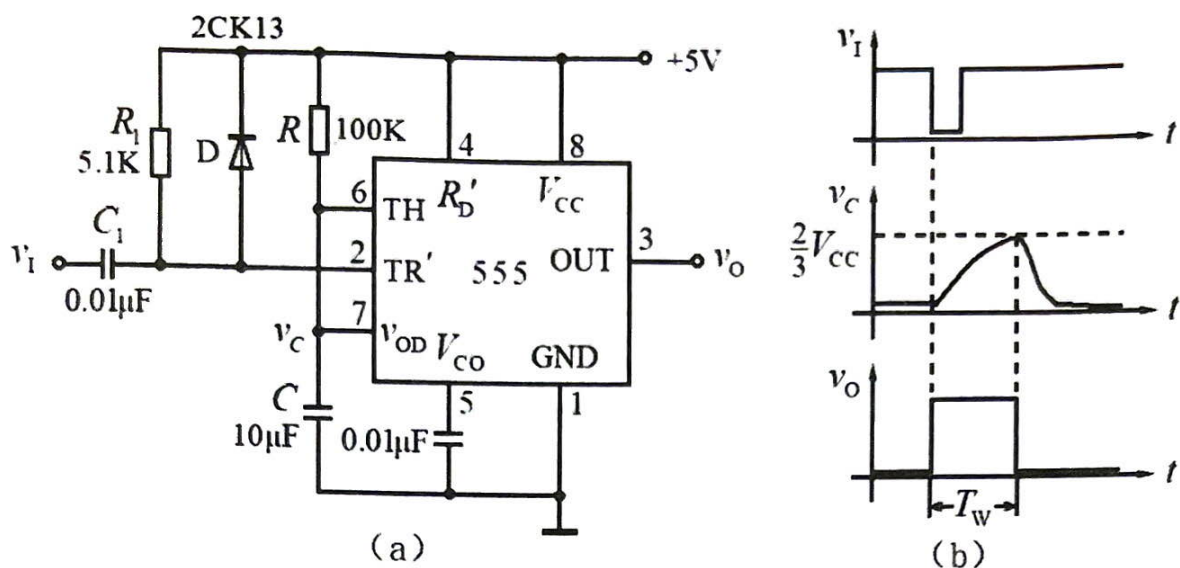


图 6-2 单稳态触发器

- (1) 按图 6-2 (a) 连线, 输入信号 v_i 由单次脉冲源提供负脉冲。用示波器同时观测 v_i 、 v_c 、 v_o 波形, 测定幅度与暂稳时间 (示波器扫描速率设置为 1s)。
- (2) 将 R 改为 $10K\Omega$, C 改为 $0.01\mu F$, 输入信号 v_i 加 1KHz 的连续脉冲, 观测 v_i 、 v_c 、 v_o 波形, 测定幅度与暂稳时间 (示波器扫描速率设置为 200us)。

2. 用 555 构成多谐振荡器

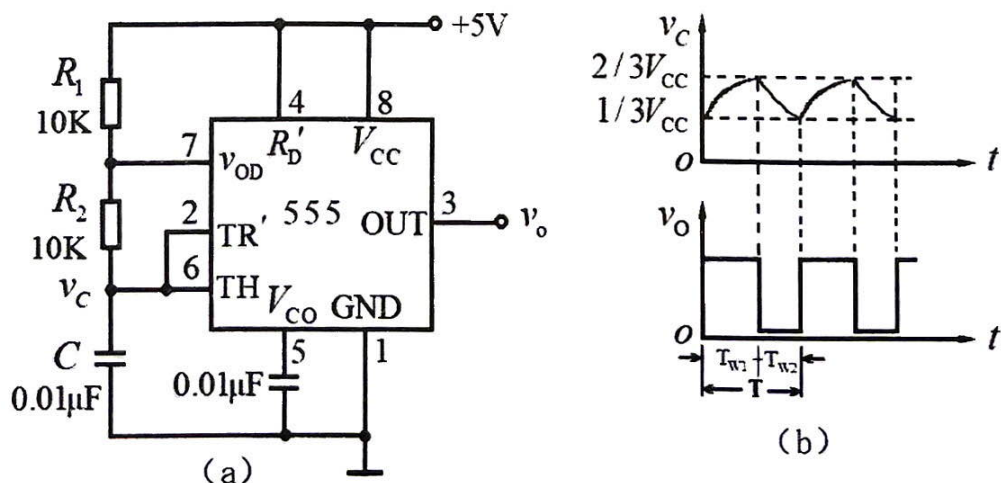


图 6-3 多谐振荡器

- (1) 如图 6-3 (a) 所示, 由 555 定时器和外接元件 R_1 、 R_2 、 C 构成多谐振荡器。电路没有稳态, 仅存在两个暂稳态, 电路亦不需要外加触发信号, 利用电源通过 R_1 、 R_2 向 C 充电, 以及 C 通过 R_2 向放电端放电, 使电路产生振荡。电容 C 在 $1/3V_{cc}$ 和 $2/3V_{cc}$ 之间充放电, 输出信号的时间参数是: $T=T_{w1}+T_{w2}$, $T_{w1}=0.7(R_1+R_2)C$, $T_{w2}=0.7R_2C$ 。观测并记录 v_c 、

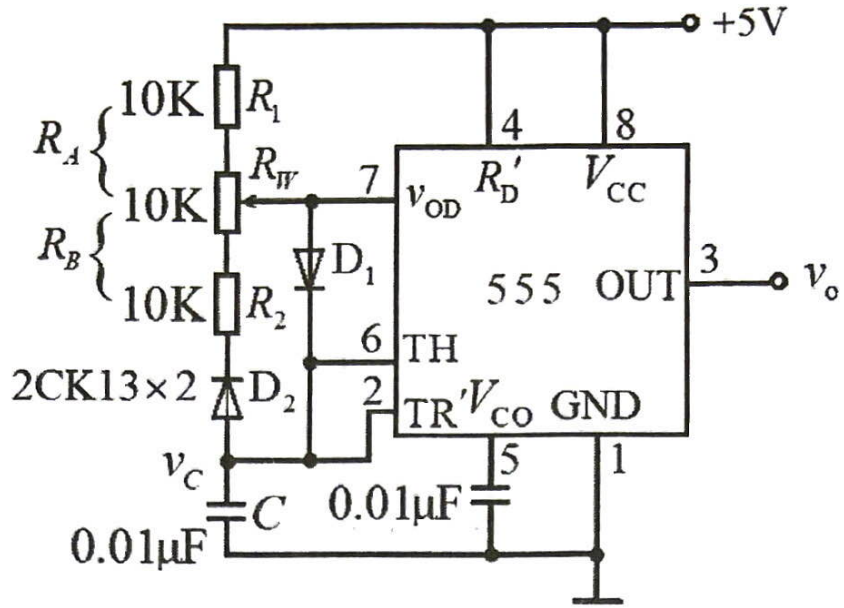


图 6-4 占空比可调节的多谐振荡器

(2) 按图 6-4 连线，组成占空比可调节的多谐振荡器。并调节可变电阻器 R_w ($10K\Omega$) 组成占空比为 50% 的方波信号发生器，观测并记录 v_c 、 v_o 波形及参数。

占空比 $P = T_{w1}/(T_{w1}+T_{w2}) \approx 0.7R_A C / (0.7R_A C + 0.7R_B C) = R_A / (R_A + R_B)$ 。可见，若取 $R_A = R_B$ ，电路即可输出占空比为 50% 的方波。

3. 用 555 构成施密特触发器

按图 6-5 (a) 连线，输入信号 v_s 为 1KHz 正弦波，接通电源，逐步加大 v_s 的幅度，观测输出波形，测绘电压传输特性，算出回差电压 ΔU 。 ($\Delta U = 2/3V_{cc} - 1/3V_{cc} = 1/3V_{cc}$)

输出波形及压传输特性示意图如图 6-5 (b)、(c) 所示。

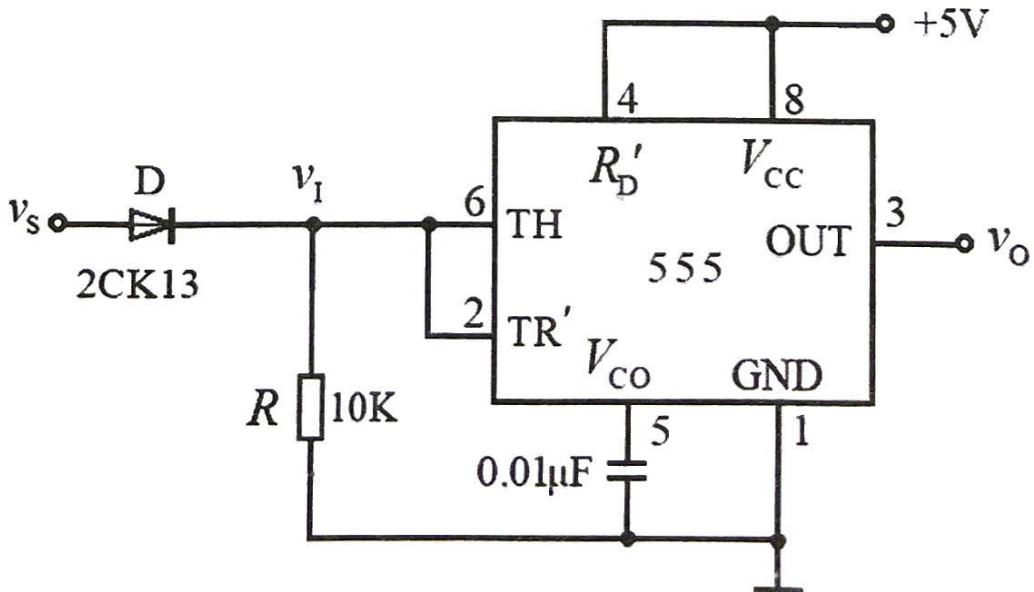


图 6-5 (a) 电路图

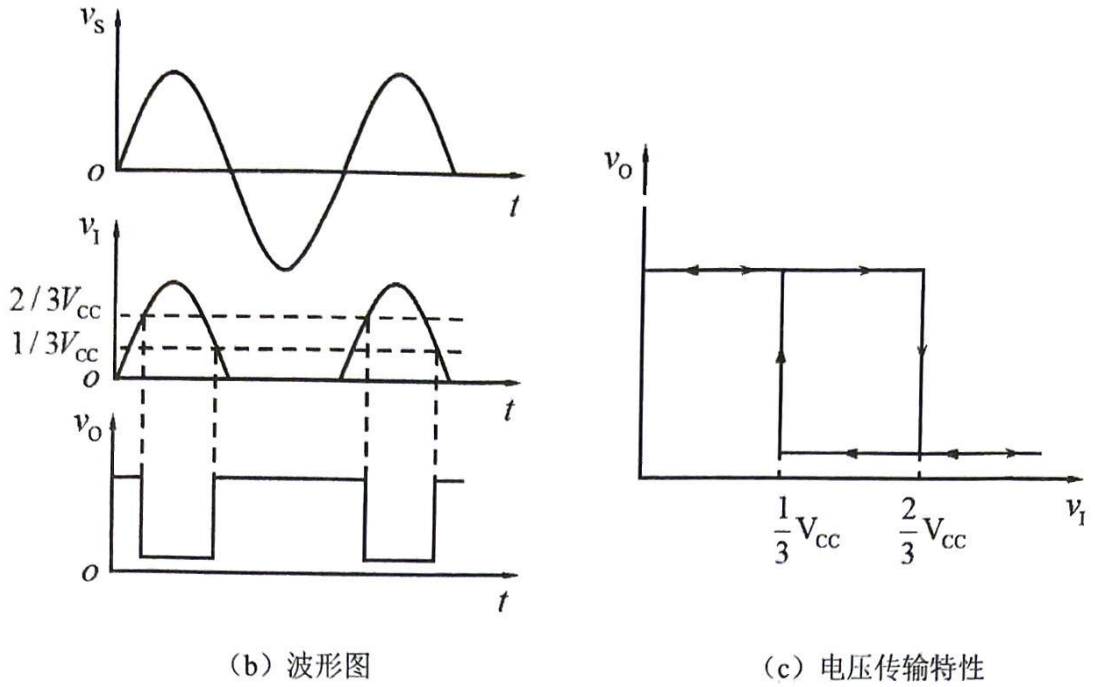


图 6-5 施密特触发器

四、思考题

1. 用 555 定时器设计一个电子门铃电路并说明其工作原理。

五、实验报告要求

1. 阐述实验原理，绘出详细的实验线路图，定量绘出观测到的波形。
2. 分析、总结实验结果。

实验七 数字钟

一、实验目的

1. 掌握用数字集成电路设计数字钟的基本原理和方法。
2. 熟悉典型集成电路的逻辑功能，掌握 N 进制计数器的设计与实现。
3. 了解数字钟电路的调试及故障排除方法。

二、实验原理

数字钟是一种用数字显示小时、分和秒的计数装置，它由振荡器、分频器、计数器、译码显示电路和校时校分控制电路组成。

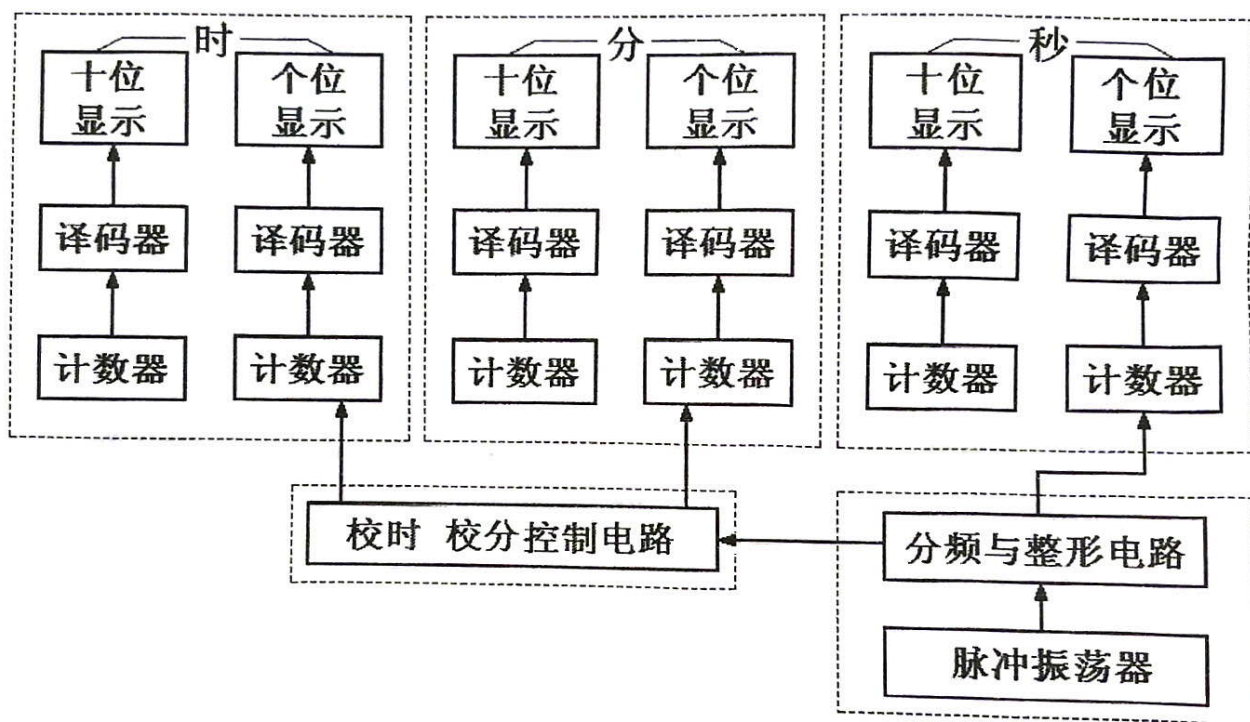


图 7-1 数字钟原理框图

振荡器是整个数字钟的核心，它的稳定度和频率的精确度决定了数字钟计时的准确性，是影响数字钟质量的决定性因素之一。在实际电路中采用晶体振荡器作为振荡源。

振荡器产生的时钟信号经过分频器形成秒信号，输入到计数器进行计数。

数字钟的计数电路可用两个 60 进制和一个 24 进制(或 12 进制)实现。60 进制计数器由一个 10 进制计数器与一个 6 进制计数器组成，分别对应“秒”(或“分”)的个位和十位进行计数。实验用 24 进制计数器作为“时”位计数器。计数电路可由六片 74LS90 构成，可用反馈归零法设计。

注：集成异步计数器芯片 74LS90 是异步二—五—十进制加法计数器，即：它不仅可以作为二进制加法计数器，还可以作五进制加法计数器，以及十进制加法计数器。

由于连接方式的不同，集成异步计数器芯片 74LS90 可以实现四种不同的逻辑功能，具体逻辑功能详见以下所述：

- (1) 计数脉冲从 CLK_0 输入， Q_0 作为输出端，为二进制加法计数器；
- (2) 计数脉冲从 CLK_1 输入， $Q_3Q_2Q_1$ 作为输出端，为异步五进制加法计数器；
- (3) 十进制加法计数器有以下两种：
 - 1) 若将 CLK_1 和 Q_0 相连，计数脉冲从 CLK_0 输入，输出端 $Q_3Q_2Q_1Q_0$ 就可成异步 8421 码十进制加法计数器；
 - 2) 若将 CLK_0 和 Q_3 相连，计数脉冲从 CLK_1 输入，输出端 $Q_0Q_3Q_2Q_1$ 就可成异步 5421 码十进制加法计数器；

清零与置 9 功能如下：

- 3) 异步清零：当 R_1 、 R_2 均为 1（即为高电平），且 S_1 、 S_2 中有 0（即有低电平）时，输出 $Q_3Q_2Q_1Q_0=0000$ （即均为低电平）；
- 4) 置 9 功能：当 S_1 、 S_2 均为 1（即为高电平），输出 $Q_3Q_2Q_1Q_0Q_0Q_3Q_2Q_1=1001$ 。

表 7-1 74LS90 功能表

输 入				输 出		功 能
清 0	置 9	时 钟		$Q_3Q_2Q_1Q_0$		
$R_1 R_2$	$S_1 S_2$	CLK_0CLK_1				
1 1	0 × × 0	× ×	× ×	0 0 0 0	异步清 0	
× ×	1 1	× ×	× ×	1 0 0 1	异步置 9	
0 × × 0	0 × × 0	↓	1	- - - 0~1	二进制计数	
		1	↓	000~100 -	五进制计数	
		↓	Q_0	0000 ~ 1001 8421BCD码	十进制计数	
		Q_3	↓	$Q_0Q_3Q_2Q_1$ 输出 5421BCD码	十进制计数	
		1	1	不 变	保 持	

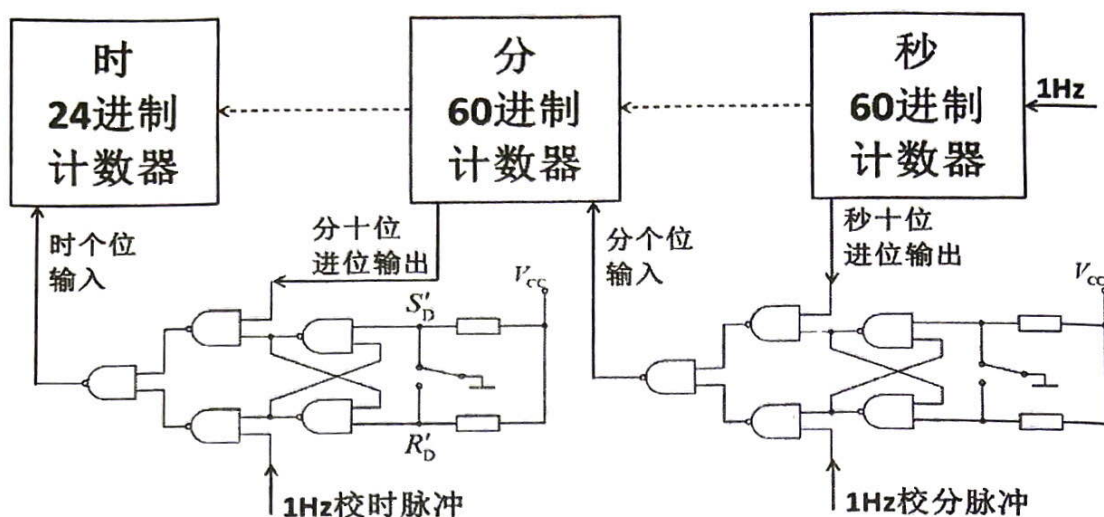


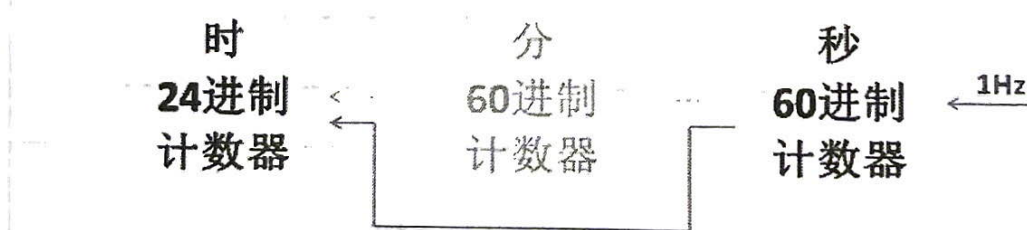
图 7-2 含有校时校分电路的数字钟原理图

实验中可设有两个快速校准电路，由 SR 锁存器和与非门组成。正常工作时，两个开关合到 S'_D 端，SR 锁存器置 1，分、时脉冲信号通过。当开关合到 R'_D 端时，SR 锁存器置 0，正常计数不能通过，而秒脉冲通过，使分、时计数器变成了秒计数器可以快速校准。在数字钟电路中，译码器的输入信号就是计数器的输出信号，译码器的输出端接至 LED 数码管。实验中采用 BCD 码—七段码译码器 CC4511 和共阴极数码管。

数字钟不仅可以准确地显示时间，再附加一些相应电路还可以进行定时控制，如学校上课下课响铃、报时等。

三、实验内容

1. 试用 74LS90 设计数字钟用 24 进制和 60 进制计数器。



(时钟信号接实验箱上的连续脉冲源，取频率为 1Hz)

2. 在实验内容 1 的基础上增加校时电路。
3. 试在实验内容 1 的基础上实现报时功能。

四、思考题

1. 试用 555 设计秒脉冲电路。
2. 画出完整的数字钟逻辑电路图，并说明各部分的原理与功能。
3. 试设计一个具有整点报时功能的电路。

五、实验设备与器件

数字逻辑实验箱

门电路：74LS08、74LS00、74LS04、74LS20、74LS32

计数器：74LS90

